

ACTIVE MATRIX TYPE DISPLAY DEVICE AND ACTIVE MATRIX TYPE ORGANIC ELECTRO-LUMINESCENCE DISPLAY DEVICE, AND DRIVING METHOD THEREFOR

Publication number: JP2002215093

Publication date: 2002-07-31

Inventor: YUMOTO AKIRA; ASANO SHIN

Applicant: SONY CORP

Classification:

- international: H01L51/50; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/32; H01L51/50; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/28; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/14

- European: G09G3/30; G09G3/32A

Application number: JP20010006387 20010115

Priority number(s): JP20010006387 20010115

Also published as:

EP1353316 (A1)
WO02056287 (A1)
US7019717 (B2)
US2006170624 (A1)
US2003107560 (A1)

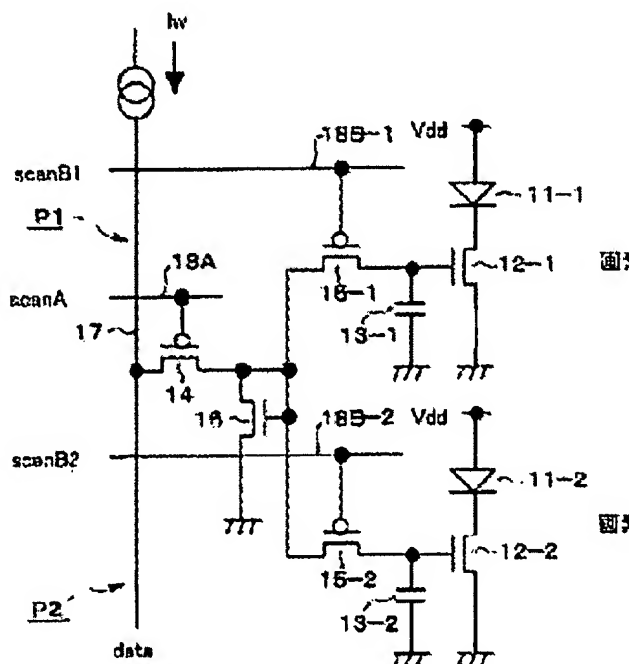
more >>

Report a data error here

Abstract of JP2002215093

PROBLEM TO BE SOLVED: To solve the problem that when a current writing pixel circuit is employed, transistors are increased in number, and pixel circuits of TFTs are increased in an occupied area.

SOLUTION: In pixel circuits P1, P2 having a 1st scanning TFT 14, a current-voltage converter TFT 16, a 2nd scanning TFTs 15-1, 15-2, capacitors 13-1, 13-2, and driving TFTs 12-1, 12-2 to, for example, OLEDs (organic EL elements) 11-1, 11-2 for two pixels in the columnar direction, a scanning TFT 14 for handling a larger current I_w compared with the current mode to flow through the OLED 11-1, 11-2 and a current-voltage converter TFT 16 are shared between the two pixels.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-215093

(P2002-215093A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 2		6 4 2 B
審査請求 有 請求項の数30 O L (全 18 頁) 最終頁に続く			

(21) 出願番号 特願2001-6387(P2001-6387)

(22) 出願日 平成13年1月15日 (2001.1.15)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 湯本 昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 浅野 慎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

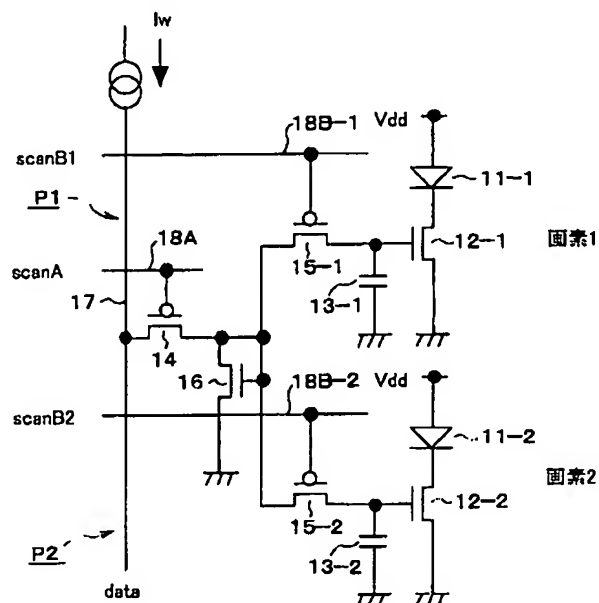
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置およびアクティブマトリクス型有機エレクトロルミネッセンス表示装置、並びにそれらの駆動方法

(57) 【要約】

【課題】 電流書き込み型の画素回路を採用した場合には、トランジスタ数が増え、TFTの画素回路の占有面積が増大する。

【解決手段】 行方向における例えば2画素のOLED (有機EL素子) 11-1, 11-2に対して、第1の走査TFT 14、電流-電圧変換TFT 16、第2の走査TFT 15-1, 15-2、キャパシタ13-1, 13-2および駆動TFT 12-1, 12-2を有する画素回路P1, P2において、OLED 11-1, 11-2に流れる電流に比べて大きな電流Iwを扱う走査TFT 14および電流-電圧変換TFT 16を2画素間で共用する。



【特許請求の範囲】

【請求項1】 流れる電流によって輝度に変化する電気光学素子を有し、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなるアクティブマトリクス型表示装置であって、

前記画素回路は、データ線から与えられる電流を電圧に変換する変換部と、前記変換部で変換された電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記電気光学素子に流す駆動部とを有し、前記変換部を行方向において2以上の異なる画素間で共用していることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記画素回路は、前記変換部を隣り合う2行の画素間で共用していることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記変換部は、ドレインとゲートとが電気的に短絡され、データ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第1の電界効果トランジスタを含み、

前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、

前記駆動部は、前記電気光学素子に対して直列に接続され、前記キャパシタの保持電圧に基づいて前記電気光学素子を駆動する第2の電界効果トランジスタを含むことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】 前記第1、第2の電界効果トランジスタは、ほぼ同一の特性を有してカレントミラー回路を形成していることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項5】 前記第1の電界効果トランジスタは、行方向において2以上の異なる画素に共通に設けられた単一のトランジスタエレメントからなることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項6】 前記第1の電界効果トランジスタは、行方向において2以上の異なる画素毎に設けられ、各ドレイン・ゲートが共通に接続された複数のトランジスタエレメントからなることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項7】 流れる電流によって輝度に変化する電気光学素子を有し、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなるアクティブマトリクス型表示装置であって、

前記画素回路は、データ線から与えられる電流を選択的に通す第1の走査スイッチと、前記第1の走査スイッチ

を通して供給される電流を電圧に変換する変換部と、前記変換部で変換された電圧を選択的に通す第2の走査スイッチと、前記第2の走査スイッチを通して供給される電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記電気光学素子に流す駆動部とを有し、前記第1の走査スイッチを行方向において2以上の異なる画素間で共用していることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 前記画素回路は、前記第1の走査スイッチを隣り合う2行の画素間で共用していることを特徴とする請求項7記載のアクティブマトリクス型表示装置。

【請求項9】 前記画素回路はさらに、前記変換部を行方向において2以上の異なる画素間で共用していることを特徴とする請求項7記載のアクティブマトリクス型表示装置。

【請求項10】 前記画素回路は、前記第1の走査スイッチおよび前記変換部を隣り合う2行の画素間で共用していることを特徴とする請求項9記載のアクティブマトリクス型表示装置。

【請求項11】 前記第1の走査スイッチは、第1の走査線にゲートが接続された第1の電界効果トランジスタを含み、

前記変換部は、ドレインとゲートとが電気的に短絡され、前記第1の電界効果トランジスタを通してデータ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第2の電界効果トランジスタを含み、

前記第2の走査スイッチは、第2の走査線にゲートが接続された第3の電界効果トランジスタを含み、

前記保持部は、前記第2の電界効果トランジスタのゲート・ソース間に発生しかつ前記第3の電界効果トランジスタを通して与えられる電圧を保持するキャパシタを含み、

前記駆動部は、前記電気光学素子に対して直列に接続され、前記キャパシタの保持電圧に基づいて前記電気光学素子を駆動する第4の電界効果トランジスタを含むことを特徴とする請求項7記載のアクティブマトリクス型表示装置。

【請求項12】 前記第2、第4の電界効果トランジスタは、ほぼ同一の特性を有してカレントミラー回路を形成していることを特徴とする請求項11記載のアクティブマトリクス型表示装置。

【請求項13】 前記第1又は第2の電界効果トランジスタは、行方向において2以上の異なる画素に共通に設けられた単一のトランジスタエレメントからなることを特徴とする請求項11記載のアクティブマトリクス型表示装置。

【請求項14】 前記第1又は第2の電界効果トランジスタは、行方向において2以上の異なる画素毎に設けられ、各ドレイン・ゲートが共通に接続された複数のトラ

ンジスタエレメントからなることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項15】 流れる電流によって輝度が変化する電気光学素子を有し、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなり、これら画素回路が、データ線から与えられる電流を選択的に通す第1の走査スイッチと、前記第1の走査スイッチを通して供給される電流を電圧に変換する変換部と、前記変換部で変換された電圧を選択的に通す第2の走査スイッチと、前記第2の走査スイッチを通して供給される電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記電気光学素子に流す駆動部とを有し、前記第1の走査スイッチおよび前記変換部を行方向において2以上の異なる画素間で共用したアクティブマトリクス型表示装置において、行方向において2以上の異なる画素に書き込みを行う際に、前記第1の走査スイッチの選択状態の期間に前記第2の走査スイッチを前の行、次の行の順に順次選択状態とすることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項16】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなるアクティブマトリクス型エレクトロルミネッセンス表示装置であって、前記画素回路は、データ線から与えられる電流を電圧に変換する変換部と、前記変換部で変換された電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記有機エレクトロルミネッセンス素子に流す駆動部とを有し、前記変換部を行方向において2以上の異なる画素間で共用していることを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項17】 前記画素回路は、前記変換部を隣り合う2行の画素間で共用していることを特徴とする請求項16記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項18】 前記変換部は、ドレインとゲートとが電気的に短絡され、データ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第1の電界効果トランジスタを含み、前記保持部は、前記第1の電界効果トランジスタのゲート・ソース間に発生する電圧を保持するキャパシタを含み、前記駆動部は、前記電気光学素子に対して直列に接続され、前記キャパシタの保持電圧に基づいて前記電気光学素子を駆動する第2の電界効果トランジスタを含むこと

を特徴とする請求項16記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項19】 前記第1、第2の電界効果トランジスタは、ほぼ同一の特性を有してカレントミラー回路を形成していることを特徴とする請求項18記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項20】 前記第1の電界効果トランジスタは、行方向において2以上の異なる画素に共通に設けられた単一のトランジスタエレメントからなることを特徴とする請求項18記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項21】 前記第1の電界効果トランジスタは、行方向において2以上の異なる画素毎に設けられ、各ドレイン・ゲートが共通に接続された複数のトランジスタエレメントからなることを特徴とする請求項18記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項22】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を表示素子として用い、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなるアクティブマトリクス型有機エレクトロルミネッセンス表示装置であって、

前記画素回路は、データ線から与えられる電流を選択的に通す第1の走査スイッチと、前記第1の走査スイッチを通して供給される電流を電圧に変換する変換部と、前記変換部で変換された電圧を選択的に通す第2の走査スイッチと、前記第2の走査スイッチを通して供給される電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記電気光学素子に流す駆動部とを有し、前記第1の走査スイッチを行方向において2以上の異なる画素間で共用していることを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項23】 前記画素回路は、前記第1の走査スイッチを隣り合う2行の画素間で共用していることを特徴とする請求項22記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項24】 前記画素回路はさらに、前記変換部を行方向において2以上の異なる画素間で共用していることを特徴とする請求項22記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項25】 前記画素回路は、前記第1の走査スイッチおよび前記変換部を隣り合う2行の画素間で共用していることを特徴とする請求項24記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項26】 前記第1の走査スイッチは、第1の走

査線にゲートが接続された第1の電界効果トランジスタを含み、

前記変換部は、ドレインとゲートとが電氣的に短絡され、前記第1の電界効果トランジスタを通してデータ線から電流が供給されることによってそのゲート・ソース間に電圧を発生する第2の電界効果トランジスタを含み、

前記第2の走査スイッチは、第2の走査線にゲートが接続された第3の電界効果トランジスタを含み、

前記保持部は、前記第2の電界効果トランジスタのゲート・ソース間に発生しかつ前記第3の電界効果トランジスタを通して与えられる電圧を保持するキャパシタを含み、

前記駆動部は、前記電気光学素子に対して直列に接続され、前記キャパシタの保持電圧に基づいて前記電気光学素子を駆動する第4の電界効果トランジスタを含むことを特徴とする請求項2記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項27】 前記第2、第4の電界効果トランジスタは、ほぼ同一の特性を有してカレントミラー回路を形成していることを特徴とする請求項26記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項28】 前記第1又は第2の電界効果トランジスタは、行方向において2以上の異なる画素に共通に設けられた単一のトランジスタエレメントからなることを特徴とする請求項26記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項29】 前記第1又は第2の電界効果トランジスタは、行方向において2以上の異なる画素毎に設けられ、各ドレイン・ゲートが共通に接続された複数のトランジスタエレメントからなることを特徴とする請求項26記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項30】 流れる電流によって輝度が変化する電気光学素子を有し、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなり、これら画素回路が、データ線から与えられる電流を選択的に通す第1の走査スイッチと、前記第1の走査スイッチを通して供給される電流を電圧に変換する変換部と、前記変換部で変換された電圧を選択的に通す第2の走査スイッチと、前記第2の走査スイッチを通して供給される電圧を保持する保持部と、前記保持部に保持された電圧を電流に変換して前記電気光学素子に流す駆動部とを有し、前記第1の走査スイッチおよび前記変換部を行方向において2以上の異なる画素間で共用したアクティブマトリクス型有機エレクトロルミネッセンス表示装置において、行方向において2以上の異なる画素に書き込みを行う際

に、前記第1の走査スイッチの選択状態の期間に前記第2の走査スイッチを前の行、次の行の順に順次選択状態とすることを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素毎に能動素子を有して当該能動素子によって画素単位で表示制御が行われるアクティブマトリクス型表示装置およびその駆動方法に関し、特に画素の表示素子として、流れる電流によって輝度が変化する電気光学素子を用いるアクティブマトリクス型表示装置および電気光学素子として有機材料のエレクトロルミネッセンス(以下、有機EL(electroluminescence)と記す)素子を用いるアクティブマトリクス型有機EL表示装置およびその駆動方法に関する。

【0002】

【従来の技術】表示装置、例えば画素の表示素子として液晶セルを用いた液晶ディスプレイなどにおいては、多数の画素をマトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として有機EL素子を用いた有機ELディスプレイなどでも同様である。

【0003】ただし、有機ELディスプレイの場合は、画素の表示素子として発光素子を用いる、いわゆる自発光型のディスプレイであるため、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。また、各発光素子の輝度がそれに流れる電流値によって制御される、即ち有機EL素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶ディスプレイなどとは大きく異なる。

【0004】有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純(パッシブ)マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ(一般には、薄膜トランジスタ(Thin Film Transistor; TFT)によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0005】図12に、アクティブマトリクス型の有機ELディスプレイにおける画素回路(単位画素の回路)の従来例を示す(より詳細には、米国特許第5,684,365号公報、特開平8-234683号公報を参照)。

【0006】この従来例に係る画素回路は、図12から明らかなように、アノード(陽極)が正電源V_{dd}に接続された有機EL素子101と、ドレインが有機EL素

子101のカソード（陰極）に接続され、ソースが接地されたTFT102と、TFT102のゲートとグランドとの間に接続されたキャパシタ103と、ドレインがTFT102のゲートに、ソースがデータ線106に、ゲートが走査線105にそれぞれ接続されたTFT104とを有する構成となっている。

【0007】ここで、有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがある。したがって、図12およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性を要求するものではない。

【0008】上記構成の画素回路の動作は次の通りである。まず、走査線105の電位を選択状態（ここでは、高レベル）とし、データ線106に書き込み電位 V_w を印加すると、TFT104が導通してキャパシタ103が充電または放電され、TFT102のゲート電位は書き込み電位 V_w となる。次に、走査線105の電位を非選択状態（ここでは、低レベル）とすると、走査線105とTFT102とは電氣的に切り離されるが、TFT102のゲート電位はキャパシタ103によって安定に保持される。

【0009】そして、TFT102およびOLED101に流れる電流は、TFT102のゲート・ソース間電圧 V_{gs} に応じた値となり、OLED101はその電流値に応じた輝度で発光し続ける。ここで、走査線105を選択してデータ線106に与えられた輝度情報を画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。上述のように、図12に示す画素回路では、一度電位 V_w の書き込みを行えば、次に書き込みが行われるまでの間、OLED101は一定の輝度で発光を継続する。

【0010】このような画素回路（以下、単に画素と記す場合もある）111を図13に示すようにマトリクス状に多数並べ、走査線112-1～112-nを走査線駆動回路113によって順次選択しながら、電圧駆動型のデータ線駆動回路（電圧ドライバ）114からデータ線115-1～115-mを通して書き込みを繰り返すことにより、アクティブマトリクス型表示装置（有機ELディスプレイ）を構成することができる。ここでは、m列n行の画素配列を示している。この場合、当然のことながら、データ線がm本、走査線がn本となる。

【0011】単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。このため、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0012】ところで、アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般的に、ガラス基板上に形成されたTFT（薄膜電界効果トランジスタ）が利用される。ところが、このTFTの形成に使用されるアモルファスシリコン（非晶質シリコン）やポリシリコン（多結晶シリコン）は、単結晶シリコンに比べて結晶性が悪く、導電機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが良く知られている。

【0013】特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、アモルファスシリコン膜の形成後、レーザアニール法によって結晶化が行われる。しかしながら、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。この結果、同一基板上に形成したTFTでも、そのしきい値 V_{th} が画素によって数百mV、場合によっては1V以上ばらつくこともまれではない。

【0014】この場合、例えば異なる画素に対して同じ電位 V_w を書き込んでも、画素によってTFTのしきい値 V_{th} がばらつくことになる。これにより、OLED（有機EL素子）に流れる電流 I_{ds} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。このことは、しきい値 V_{th} のみではなく、キャリアの移動度 μ などのばらつきについても同様のことが言える。

【0015】

【発明が解決しようとする課題】かかる問題を改善するため、本願発明者は、一例として、図14に示す画素回路を提案している（特願平11-200843号明細書参照）。

【0016】この先願に係る画素回路は、図14から明らかなように、アノードが正電源 V_{dd} に接続されたOLED121と、ドレインがOLED121のカソードに接続され、ソースが基準電位点であるグランドに接続（以下、「接地」と記す）されたTFT122と、このTFT122のゲートとグランドとの間に接続されたキャパシタ123と、ドレインがデータ線128に、ゲートが第1の走査線127Aにそれぞれ接続されたTFT124と、ドレインおよびゲートがTFT124のソースに接続され、ソースが接地されたTFT125と、ドレインがTFT125のドレインおよびゲートに、ソースがTFT122のゲートに、ゲートが第2の走査線127Bにそれぞれ接続されたTFT126とを有する構成となっている。

【0017】この回路例では、TFT122、125としてNチャネルMOSトランジスタを、TFT124、126としてPチャネルMOSトランジスタを用いている。この画素回路を駆動するタイミングチャートを図1

5に示す。

【0018】図14に示す画素回路が図12に示す画素回路と決定的に異なる点は、次の通りである。すなわち、図12に示す画素回路においては輝度データが電圧の形で画素に与えられるのに対して、図14に示す画素回路においては輝度データが電流の形で画素に与えられる点にある。以下に、その動作について説明する。

【0019】先ず、輝度情報を書き込む際は、走査線127A、127Bを選択状態（ここでは、低レベル）

$$I_w = \mu_1 C_{ox1} W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \dots\dots (1)$$

が成立する。(1)式において、 V_{th1} はTFT125のしきい値、 μ_1 はキャリアの移動度、 C_{ox1} は単位面積当たりのゲート容量、 W_1 はチャネル幅、 L_1 はチャネル長である。

【0021】次に、OLED121に流れる電流を I_d

$$I_{drv} = \mu_2 C_{ox2} W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \dots (2)$$

となる。

【0022】ちなみに、MOSTランジスタが飽和領域

$$|V_{ds}| > |V_{gs} - V_{th}| \dots\dots (3)$$

であることが知られている。(2)式、(3)式の各パラメータの意味は(1)式と同様である。ここで、TFT125とTFT122とは、小さな画素内部に近接し

$$I_{drv} / I_w = (W_2 / W_1) / (L_2 / L_1) \dots\dots (4)$$

が導かれる。

【0023】すなわち、キャリアの移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、しきい値 V_{th} の値自体がパネル面内で、あるいはパネル毎にばらついたとしても、OLED121に流れる電流 I_{drv} は正確に書き込み電流 I_w に比例するので、結果として、OLED121の発光輝度を正確に制御できる。例えば、特に $W_2 = W_1$ 、 $L_2 = L_1$ と設計すれば、 $I_{drv} / I_w = 1$ 、即ちTFT特性のばらつきによらず、書き込み電流 I_w とOLED121に流れる電流 I_{drv} とは同一の値となる。

【0024】上述した図14に示すような画素回路をマトリクス状に並べることにより、アクティブマトリクス型表示装置を構成することが可能である。図16に、その構成例を示す。

【0025】図16において、マトリクス状に m 列 n 行だけ配置された電流書き込み型の画素回路211の各々に対して、各行毎に第1の走査線212A-1～212A- n と第2の走査線212B-1～212B- n が配線されている。そして、第1の走査線212A-1～212A- n に対して図14のTFT214のゲートが、第2の走査線212B-1～212B- n に対して図14のTFT126のゲートがそれぞれ画素毎に接続される。

【0026】この画素部の左側には第1の走査線212A-1～212A- n を駆動する第1の走査線駆動回路213Aが、画素部の右側には第2の走査線212B-

にし、データ線128に輝度情報に応じた電流 I_w を流す。この電流 I_w は、TFT124を通してTFT125に流れる。このとき、TFT125に生ずるゲート・ソース間電圧を V_{gs} とする。TFT125のゲート・ドレイン間は短絡されているので、TFT125は飽和領域で動作する。

【0020】よって、良く知られたMOSTランジスタの式にしたがって

r_v とすると、この電流 I_{drv} はOLED121と直列に接続されたTFT122によって電流値が制御される。図14に示す画素回路では、TFT122のゲート・ソース間電圧が(1)式の V_{gs} に一致するので、TFT122が飽和領域で動作すると仮定すれば、

で動作する条件は、一般に、

て形成されるため、事実上、 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、(1)式と(2)式とから容易に

1～212B- n を駆動する第2の走査線駆動回路213Bがそれぞれ配置される。第1、第2の走査線駆動回路213A、213Bは、シフトレジスタによって構成される。これら走査線駆動回路213A、213Bには、垂直スタートパルスVSPが共通に与えられるとともに、垂直クロックパルスVCKA、VCKBがそれぞれ与えられる。垂直クロックパルスVCKAは、垂直クロックパルスVCKBに対して遅延回路214によってわずかに遅延される。

【0027】また、画素回路211の各々に対して、各列毎にデータ線215-1～215- m が配線されている。これらデータ線215-1～215- m の各一端は、電流駆動型のデータ線駆動回路（電流ドライバCS）216に接続されている。そして、このデータ線駆動回路216によってデータ線215-1～215- m を通して各画素に対して輝度情報の書き込みが行われる。

【0028】次に、上記構成のアクティブマトリクス型表示装置の動作について説明する。垂直スタートパルスVSPが第1、第2の走査線駆動回路213A、213Bに入力されると、これら走査線駆動回路213A、213Bは垂直スタートパルスVSPを受けてシフト動作を開始し、垂直クロックパルスVCKA、VCKBに同期して走査パルス $scanA1 \sim scanAn$ 、 $scanB1 \sim scanBn$ を順次出力し、走査線212A-1～212A- n 、212B-1～212B- n を順に選択する。

【0029】一方、データ線駆動回路216は、輝度情報に応じた電流値でデータ線215-1~215-mを駆動する。その電流は選択された走査線上の画素を介して流れ、走査線単位で電流書き込みが行われる。各画素はその電流値に応じた強度で発光を開始する。なお、先述したように、垂直クロックパルスVCKAは垂直クロックパルスVCKBに対してわずかに遅れているため、図14において、走査線127Bが走査線127Aに先立って非選択となる。走査線127Bが非選択になった時点で輝度データが画素回路内部のキャパシタ123に保持され、各画素は次のフレームで新たなデータが書き込まれるまで一定の輝度で発光する。

【0030】ところで、画素回路として、図14に示すようなカレントミラー構成を採用した場合に、図12に示す構成に比べてトランジスタ数が増加するという課題がある。すなわち、図12に示す構成例ではトランジスタ2個で構成されるのに対して、図14に示す構成例ではトランジスタが4個必要となる。

【0031】更に現実には、特願平11-200843号明細書においても述べたように、発光素子OLEDに流す電流I_{drv}に対して、データ線から書き込む電流I_wを大きくすることが必要であることが多い。なんとすれば、発光素子OLEDに流す電流は通常、最高輝度時でも例えば数 μ A前後であるが、この場合例えば64階調の表示を行うとすれば、最小階調付近での電流値は数十nAとなり、このような小さな電流を、大きな静電容量を持つデータ線を介して正確に画素回路に供給することは一般に難しいためである。

【0032】かかる問題を解決するため、図14の回路では、(4)式に従って $(W2/W1)/(L2/L1)$ の値を小さく設定することによって書き込み電流I_wを大きくすることが可能であるが、この大きな電流I_wを流すためには、TFT125のサイズW1/L1を大きくする必要がある。この場合、チャネル長L1を小さくするには後に述べるように種々の制約があるため、必然的にチャネル幅W1を大きくする必要がある、結果として、TFT125が画素面積の多くの部分を占有することになる。

【0033】これは有機ELディスプレイにおいては、通常、画素サイズを一定とした場合に、発光部の面積が小さくなるを得ないことを意味する。その結果、電流密度の増大による信頼性の低下、駆動電圧の増大による消費電力の増大、発光面積の縮小によるざらつき感の増大などを招く上、画素サイズの縮小化、即ち高解像度化の障害となるのも自明である。

【0034】例えば、先の例で、最小階調付近での書き込み電流I_wを数 μ A程度としたい場合、L1=L2であるとすれば、TFT125のチャネル幅W1はTFT122のチャネル幅W2の百倍程度の大きなサイズにする必要がある。L1<L2の場合はこの限りではない

が、チャネル長L1を小さくするには耐圧やデザインルール上の限界がある。

【0035】更に図14に示すようなカレントミラー構成においては、望ましくはL1=L2とすべきである。なぜならば、チャネル長はトランジスタのしきい値や、飽和領域における飽和特性などに大きく関わるため、L1=L2としてカレントミラーを構成するTFT125とTFT122の特性を揃えた方が、電流I_{drv}と電流I_wとがより正確に比例関係となり、所望の電流値を正確に発光素子OLEDに供給できるためである。

【0036】また、TFTプロセス上、チャネル長の出来上がり寸法には多少のばらつきが生ずることが避けられない。この場合L1=L2となっていれば、L1やL2の値自体が多少ばらついても、TFT125とTFT122とが近接して配置されていればL1=L2であることはほぼ保証され、結果として、(4)式で決まるI_{drv}/I_wの値はばらつきによらず概ね一定値に保たれる。

【0037】ところが、L1<L2とした場合は、チャネル長の出来上がり寸法が設計値より例えば小さくなった場合、値の小さなL1が相対的により大きな影響を受け、L1とL2の比がプロセスばらつきによって変動し、結果として、(4)式で与えられるI_{drv}/I_wが影響されることになる。このため、例えば同一パネル面内でチャネル長の出来上がり寸法がばらついた場合、画像の均一性を損ねる結果となる。

【0038】更に、図14のような回路においては、データ線とTFT125とを接続するスイッチ用トランジスタ(以下、走査トランジスタと呼ぶことがある)、即ちTFT124にも書き込み電流I_wが流れるので、TFT124のチャネル幅も大きくする必要がある、画素回路の占有面積が増大する要因となる。

【0039】本発明は、上記課題に鑑みて為されたものであり、その目的とするところは、画素回路として電流書き込み型を採用した場合において、画素回路を小さな占有面積で実現することによって高解像度化を可能とするとともに、発光素子に対して高精度な電流供給を実現することによって高画質化を可能としたアクティブマトリクス型表示装置およびアクティブマトリクス型有機EL表示装置、並びにそれらの駆動方法を提供することにある。

【0040】

【課題を解決するための手段】上記目的を達成するために、本発明では、流れる電流によって輝度が変化する電気光学素子を有し、輝度に応じた大きさの電流を、データ線を介して前記画素回路に流すことによって輝度情報の書き込みを行う電流書き込み型の画素回路がマトリクス状に配置されてなるアクティブマトリクス型表示装置において、画素回路が、データ線から与えられる電流を電圧に変換する変換部と、この変換部で変換された電圧

を保持する保持部と、この保持部に保持された電圧を電流に変換して電気光学素子に流す駆動部とを有し、変換部を行方向において2以上の異なる画素間で共用した構成を採っている。

【0041】また、本発明では、画素回路がさらに、データ線から与えられる電流を変換部に選択的に供給する第1の走査スイッチと、変換部で変換された電圧を保持部に選択的に供給する第2の走査スイッチとを有し、第1の走査スイッチを行方向において2以上の異なる画素間で共用した構成を採っている。

【0042】上記構成のアクティブマトリクス型表示装置または電気光学素子として有機EL素子を用いたアクティブマトリクス型有機EL表示装置において、第1の走査スイッチや変換部は、電気光学素子に流れる電流に比べて大きな電流を扱うことから占有面積が大きくなりがちである。ここで、変換部は輝度情報の書き込み時にのみ利用されるものであり、また第1の走査スイッチは第2の走査スイッチと協働して行方向の走査（行の選択）を行うものである。この点に着目し、占有面積が大きくなりがちな第1の走査スイッチあるいは変換部もしくは双方を、行方向における複数の画素間で共用することで、1画素当たりの画素回路の占有面積を小さくできる。また、1画素当たりの画素回路の占有面積が同じであれば、レイアウト設計の自由度が増すことで、より高精度な電流を電気光学素子に対して供給できる。

【0043】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0044】〔第1実施形態〕図1は、本発明の第1実施形態に係る電流書き込み型画素回路の構成例を示す回路図である。ここでは、図面の簡略化のために、ある列において隣り合う2画素分（画素1、2）の画素回路のみを示している。

【0045】図1において、画素1の画素回路P1は、アノードが正電源V_{dd}に接続されたOLED（有機EL素子）11-1と、ドレインがOLED11-1のカソードに接続され、ソースが接地されたTFT12-1と、このTFT12-1のゲートとグランド（基準電位点）との間に接続されたキャパシタ13-1と、ドレインがデータ線17に、ゲートが第1の走査線18A-1にそれぞれ接続されたTFT14-1と、ドレインがTFT14-1のソースに、ソースがTFT12-1のゲートに、ゲートが第2の走査線18B-1にそれぞれ接続されたTFT15-1とを有している。

【0046】同様に、画素2の画素回路P2は、アノードが正電源V_{dd}に接続されたOLED11-2と、ドレインがOLED11-2のカソードに接続され、ソースが接地されたTFT12-2と、このTFT12-2のゲートとグランドとの間に接続されたキャパシタ13-2と、ドレインがデータ線17に、ゲートが第1の走

査線18A-2にそれぞれ接続されたTFT14-2と、ドレインがTFT14-2のソースに、ソースがTFT12-2のゲートに、ゲートが第2の走査線18B-2にそれぞれ接続されたTFT15-2とを有している。

【0047】そして、これら2画素分の画素回路P1、P2に対して、ドレインとゲートが電気的に短絡されたいわゆるダイオード接続のTFT16が共通に設けられている。すなわち、TFT16のドレイン・ゲートが、画素回路P1のTFT14-1のソースおよびTFT15-1のドレイン、並びに画素回路P2のTFT14-2のソースおよびTFT15-2のドレインにそれぞれ接続されている。また、TFT16のソースは接地されている。

【0048】この回路例では、TFT12-1、12-2およびTFT16としてNチャネルMOSトランジスタを、TFT14-1、14-2、15-1、15-2としてPチャネルMOSトランジスタを用いている。

【0049】上記構成の画素回路P1、P2において、TFT14-1、14-2は、データ線17から与えられる電流I_wをTFT16に選択的に供給する第1の走査スイッチとしての機能を持つ。TFT16は、データ線17からTFT14-1、14-2を通して与えられる電流I_wを電圧に変換する変換部としての機能を持つとともに、後述するTFT12-1、12-2と共にカレントミラー回路を形成している。ここで、TFT16を画素回路P1、P2間で共用できるのは、TFT16が電流I_wの書き込みの瞬間だけ利用される素子だからである。

【0050】TFT15-1、15-2は、TFT16で変換された電圧をキャパシタ13-1、13-2に選択的に供給する第2の走査スイッチとしての機能を持つ。キャパシタ13-1、13-2は、TFT16で電流から変換され、TFT15-1、15-2を通して与えられる電圧を保持する保持部としての機能を持つ。TFT12-1、12-2は、キャパシタ13-1、13-2に保持された電圧を電流に変換し、OLED11-1、11-2に流すことによってこれらOLED11-1、11-2を発光駆動する駆動部としての機能を持つ。OLED11-1、11-2は、流れる電流によって輝度が変化する電気光学素子である。OLED11-1、11-2の具体的な構造については後述する。

【0051】ここで、上記構成の第1実施形態に係る画素回路における輝度データの書き込み動作について説明する。

【0052】まず、画素1に対する輝度データの書き込みを考えると、走査線18A-1、18B-1が共に選択された状態（この例では、走査信号scanA1、B1が共に低レベル）で、データ線17に輝度データに応じた電流I_wが与えられる。この電流I_wは、導通状態

にあるTFT14-1を通してTFT16に供給される。TFT16に電流Iwが流れることにより、TFT16のゲートには電流Iwに応じた電圧が発生する。この電圧はキャパシタ13-1に保持される。

【0053】そして、キャパシタ13-1に保持された電圧に応じた電流がTFT12-1を通してOLED11-1に流れる。これにより、OLED11-1が発光を開始する。走査線18A-1、18B-1が非選択状態（走査信号scanA1、B1が共に高レベル）になると、画素1への輝度データの書き込み動作が完了する。この一連の動作において、走査線18B-2が非選択状態にあるので、画素2のOLED11-2はキャパシタ13-2に保持された電圧に応じた輝度で発光しており、画素1への書き込み動作はOLED11-2の発光状態に何らの影響も与えない。

【0054】次に、画素2に対する輝度データの書き込みについて考えると、走査線18A-2、18B-2が共に選択された状態（走査信号scanA2、B2が共に低レベル）で、データ線17に輝度データに応じた電流Iwが与えられる。この電流IwがTFT14-2を通してTFT16に流れることで、TFT16のゲートには電流Iwに応じた電圧が発生する。この電圧はキャパシタ13-2に保持される。

【0055】そして、キャパシタ13-2に保持された電圧に応じた電流がTFT12-2を通してOLED11-2に流れ、よってOLED11-2が発光を開始する。この一連の動作において、走査線18B-1が非選択状態にあるので、画素1のOLED11-1はキャパシタ13-1に保持された電圧に応じた輝度で発光しており、画素2への書き込み動作はOLED11-1の発光状態に何らの影響も与えない。

【0056】すなわち、図1の2画素分の画素回路P1、P2は、図14の先願に係る画素回路が2画素分あるのと全く同じ動作をするが、電流-電圧変換を行うTFT16を2画素間で共用した構成を採っているため、2画素毎にトランジスタを1個省略することが可能となる。ここで、データ線17に流れる電流Iwは、先述したように、OLED（有機EL素子）に流れる電流に比べて極めて大きな電流である。この電流Iwを直接扱う電流-電圧変換TFT16としては、大きなサイズのトランジスタが用いられ、大きな占有面積を必要とする。したがって、図1の回路構成、即ち電流-電圧変換TFT16を2画素間で共用した構成を採ることで、TFTによる画素回路の占有面積を小さくすることが可能となる。

【0057】ここで、有機EL素子の構造の一例について説明する。図2に、有機EL素子の断面構造を示す。同図から明らかなように、有機EL素子は、透明ガラスなどからなる基板21上に、透明導電膜からなる第1の電極（例えば、陽極）22を形成し、その上にさらに正

孔輸送層23、発光層24、電子輸送層25および電子注入層26を順次堆積させて有機層27を形成した後、この有機層27の上に金属からなる第2の電極（例えば、陰極）28を形成した構成となっている。そして、第1の電極22と第2の電極28との間に直流電圧Eを印加することで、発光層24において電子と正孔が再結合する際に発光するようになっている。

【0058】この有機EL素子（OLED）を含む画素回路では、先述したように、能動素子として一般にガラス基板上に形成されたTFTが用いられる。それは、次の理由による。

【0059】すなわち、有機EL表示装置は直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子として単結晶シリコン基板を用いることは現実的でない。さらに、発光部から光を取り出すために、図2において、第1の電極（陽極）22として通常は、透明導電膜であるITO（Indium Tin Oxide）が使用される。このITOは一般に有機層27が耐えられない高温下で成膜されることが多く、この場合、ITOについては有機層27を形成する以前に形成しておく必要がある。したがって、その製造工程は概ね以下になる。

【0060】有機EL表示装置の画素回路におけるTFTおよび有機EL素子の製造工程について、図3の断面構造図を用いて説明する。

【0061】まず、ガラス基板31上にゲート電極32、ゲート絶縁膜33およびアモルファスシリコン（非晶質シリコン）からなる半導体薄膜34を順次堆積・パターンニングすることによってTFTを形成する。その上に、層間絶縁膜35を積層し、この層間絶縁膜35を通して半導体薄膜のソース領域（S）およびドレイン領域（D）に対してソース電極36およびドレイン電極37を電気的に接続する。その上にさらに層間絶縁膜38を積層する。

【0062】場合によっては、アモルファスシリコンをレーザアニール等の熱処理によってポリシリコン（多結晶シリコン）化することもある。その場合一般的に、アモルファスシリコンに比べてキャリア移動度が大きく、電流駆動能力の大きなTFTを作ることができる。

【0063】次に、有機EL素子（OLED）の陽極となるITO透明電極39（図2の第1の電極22に相当）を形成する。続いて、有機EL層40（図2の有機層27に相当）を堆積することによって有機EL素子を形成する。そして最後に、金属材料（例えば、アルミニウム）によって陰極となる金属電極41（図2の第2の電極28に相当）を形成する。

【0064】上記構成の場合、光の取り出しは基板31の裏側（下面側）からとなるので、基板31には透明な材料（通常は、ガラス）を使用する必要がある。かかる事情から、アクティブマトリクス型有機EL表示装置で

は、比較的大型のガラス基板31が使用され、能動素子としてはその上に形成することが可能なTFTを用いるのが普通である。最近では、光を基板31の表側(上面側)から取り出す構成も採られている。この場合の断面構造を図4に示す。図3の構造と異なるのは、層間絶縁膜38上に金属電極42、有機EL層40および透明電極43を順に重ねて有機EL素子を形成している点にある。

【0065】上述した画素回路の断面構造から明らかのように、特に基板31の裏側から光を取り出す構造のアクティブマトリクス型有機EL表示装置では、TFT形成後の隙間に有機EL素子の発光部を配置することになるので、画素回路を構成するトランジスタのサイズが大きいと、それらが画素面積の多くの部分を専有することになり、その分だけ発光部を配置できる面積が小さくなってしまふ。

【0066】これに対して、本実施形態に係る画素回路では、図1の回路構成、即ち電流-電圧変換TFT16を2画素間で共用した回路構成を採っていることにより、TFTによる画素回路の占有面積を小さくすることができるため、その分だけ逆に発光部の面積を大きくでき、また発光部の面積を同じにした場合には、画素サイズを縮小できるため高解像度化が可能となる。

【0067】また、別の考え方としては、図1の回路構成では、トランジスタを2画素で1個省略することができるので、電流-電圧変換TFT16のレイアウト設計の自由度が増加するとも言える。この場合、[発明が解決しようとする課題]の項で述べたように、TFT16のチャネル幅 W を大きく取ることが可能なので、チャネル長 L をいたずらに小さくすることなく、高精度なカレントミラー回路を設計しやすくなる。

【0068】なお、図1の回路例においては、TFT16とTFT12-1、TFT16とTFT12-2がそれぞれカレントミラーを構成するので、これら3つのトランジスタはしきい値 V_{th} などの特性がなるべく揃っていることが望ましく、したがってこれらトランジスタは互いに近接して配置されるべきである。

【0069】また、図1の回路例では、2つの画素1、2間で同一のTFT16を共有使用しているが、3つ以上の画素間でも共有使用が可能であることは明らかである。この場合、画素回路の占有面積の節約効果はさらに大きくなる。ただし、多数の画素間で一つの電流-電圧変換トランジスタを共有使用すると、それらすべての画素のOLED駆動トランジスタ(図1のTFT12-1やTFT12-2)を電流-電圧変換トランジスタ(図1のTFT16)に近接して配置することが難しくなると考えられる。

【0070】以上説明した本発明の第1実施形態に係る電流書き込み型画素回路をマトリクス状に並べることで、より、アクティブマトリクス型表示装置、本例ではアク

ティブマトリクス型有機EL表示装置を構成することが可能である。図5は、その構成例を示すブロック図である。

【0071】図5において、マトリクス状に m 列 n 行だけ配置された電流書き込み型の画素回路51の各々に対して、各行毎に第1の走査線52A-1~52A- n と第2の走査線52B-1~52B- n が配線されている。そして、第1の走査線52A-1~52A- n に対して図1の走査TFT14(14-1, 14-2)のゲートが、第2の走査線52B-1~52B- n に対して図1の走査TFT15(15-1, 15-2)のゲートがそれぞれ画素毎に接続される。

【0072】この画素部の左側には第1の走査線52A-1~52A- n を駆動する第1の走査線駆動回路53Aが、画素部の右側には第2の走査線52B-1~52B- n を駆動する第2の走査線駆動回路53Bがそれぞれ配置される。第1、第2の走査線駆動回路53A、53Bは、シフトレジスタによって構成される。これら走査線駆動回路53A、53Bには、垂直スタートパルスVSPが共通に与えられるとともに、垂直クロックパルスVCKA、VCKBがそれぞれ与えられる。垂直クロックパルスVCKAは、垂直クロックパルスVCKBに対して遅延回路54によってわずかに遅延される。

【0073】また、画素回路51の各々に対して、各列毎にデータ線55-1~55- m が配線されている。これらデータ線55-1~55- m の各一端は、電流駆動型のデータ線駆動回路(電流ドライバCS)56に接続されている。そして、このデータ線駆動回路56によってデータ線55-1~55- m を通して各画素に対して輝度情報の書き込みが行われる。

【0074】次に、上記構成のアクティブマトリクス型有機EL表示装置の動作について説明する。垂直スタートパルスVSPが第1、第2の走査線駆動回路53A、53Bに入力されると、これら走査線駆動回路53A、53Bは垂直スタートパルスVSPを受けてシフト動作を開始し、垂直クロックパルスVCKA、VCKBに同期して走査パルス $scanA1 \sim scanAn$, $scanB1 \sim scanBn$ を順次出力し、走査線52A-1~52A- n , 52B-1~52B- n を順に選択する。

【0075】一方、データ線駆動回路56は、輝度情報に応じた電流値でデータ線55-1~55- m を駆動する。その電流は選択された走査線上の画素を介して流れ、走査線単位で電流書き込みが行われる。各画素はその電流値に応じた強度で発光を開始する。なお、垂直クロックパルスVCKAは垂直クロックパルスVCKBに対してわずかに遅れているため、図1において、走査線18B-1, 18B-2が走査線18A-1, 18A-2に先立って非選択となる。走査線18B-1, 18B-2が非選択になった時点で輝度データが画素回路内部

のキャパシタ 13-1, 13-2 に保持され、各画素は次のフレームで新たなデータが書き込まれるまで一定の輝度で発光する。

【0076】(第1実施形態の変形例1) 図6は、第1実施形態に係る画素回路の変形例1を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。この変形例1の場合にも、図面の簡略化のために、ある列において隣り合う2画素分(画素1, 2)の画素回路のみを示している。

【0077】この変形例1に係る画素回路では、画素回路P1, P2の各々に、電流-電圧変換TFT16-1, 16-2が配置された構成となっており、一見、図14の先願に係る画素回路と類似する。しかし、ダイオード接続のTFT16-1, 16-2の各ドレイン・ゲートが画素回路P1, P2間で共通に接続された構成となっている点で相違する。

【0078】かかる構成の画素回路P1, P2において、TFT16-1, 16-2は、そのソースも共通接続(接地)されているため、機能的には、単一のトランジスタ要素と等価である。したがって、TFT16-1, 16-2の各ドレイン・ゲートを2画素間で共通接続した図6の回路は、実質的に、2画素間でTFT16を共用した図1の回路と同じとなる。

【0079】そして、TFT16-1, 16-2が単一のトランジスタ要素と等価であり、書き込み電流 I_w がTFT16-1とTFT16-2に流れることになるため、図14の先願に係る画素回路と比較すると、TFT16-1, 16-2のチャネル幅が、先願に係る画素回路における電流-電圧変換TFT125のチャネル幅の半分で良い。したがって、先願に係る画素回路に比べてTFTによる画素回路の占有面積を低減できる。

【0080】なお、この変形例1に係る画素回路の場合にも、第1実施形態に係る画素回路の場合と同様に、上記の構成を2画素に適用するだけでなく、3つ以上の画素に拡張可能なことは明らかである。

【0081】(第1実施形態の変形例2) 図7は、第1実施形態に係る画素回路の変形例2を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。この変形例2の場合にも、図面の簡略化のために、ある列において隣り合う2画素分(画素1, 2)の画素回路のみを示している。

【0082】この変形例2に係る画素回路では、各画素毎に走査線が1本ずつ(18-1, 18-2)配線され、走査線18-1に対して走査TFT14-1, 15-1の各ゲートが共通に接続され、走査線18-1に対して走査TFT14-2, 15-2の各ゲートが共通に接続された構成となっており、この点において、各画素毎に2本の走査線が配線された第1実施形態に係る画素回路と相違している。

【0083】第1実施形態に係る画素回路では2系統の

走査信号(A, B)で行方向の走査が行われるのに対して、本変形例に係る画素回路では1系統の走査信号で行方向の走査が行われることから動作上違いはあるが、画素回路の回路構成の点では第1実施形態に係る画素回路と何ら違いはなく、または作用効果という点でも第1実施形態に係る画素回路と同様である。

【0084】[第2実施形態] 図8は、本発明の第2実施形態に係る電流書き込み型画素回路の構成例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。ここでも、図面の簡略化のために、ある列において隣り合う2画素分(画素1, 2)の画素回路のみを示している。

【0085】第1実施形態に係る画素回路では、電流-電圧変換TFT16を例えば2画素間で共用した構成を採っているのに対して、第2実施形態に係る画素回路では、第1の走査スイッチである走査TFT14についても2画素間で共用した構成を採っている。すなわち、A系統の走査線については2画素毎に1本の走査線18Aが配線されており、この走査線18Aに対して単一の走査TFT14のゲートが接続され、この走査TFT14のソースには電流-電圧変換TFT16のドレイン・ゲートが接続され、さらに第2の走査スイッチである走査TFT15-1, 15-2の各ドレインが接続されている。

【0086】ここで、上記構成の第2実施形態に係る電流書き込み型画素回路における輝度データの書き込み動作について説明する。

【0087】まず、画素1に対する輝度データの書き込みを考えると、走査線18A, 18B-1が共に選択された状態(この例では、走査信号scanA, B1が共に低レベル)で、データ線17に輝度データに応じた電流 I_w が与えられる。この電流 I_w は、導通状態にあるTFT14を通してTFT16に供給される。TFT16に電流 I_w が流れることにより、TFT16のゲートには電流 I_w に応じた電圧が発生する。この電圧はキャパシタ13-1に保持される。

【0088】そして、キャパシタ13-1に保持された電圧に応じた電流がTFT12-1を通してOLED11-1に流れる。これにより、OLED11-1が発光を開始する。走査線18A, 18B-1が非選択状態(走査信号scanA, B1が共に高レベル)になると、画素1への輝度データの書き込み動作が完了する。この一連の動作において、走査線18B-2が非選択状態にあるので、画素2のOLED11-2はキャパシタ13-2に保持された電圧に応じた輝度で発光しており、画素1への書き込み動作はOLED11-2の発光状態に何らの影響も与えない。

【0089】次に、画素2に対する輝度データの書き込みを考えると、走査線18A, 18B-2が共に選択された状態(走査信号scanA, B2が共に低レベル)

で、データ線 17 に輝度データに応じた電流 I_w が与えられる。この電流 I_w が TFT 14 を通して TFT 16 に流れることで、TFT 16 のゲートには電流 I_w に応じた電圧が発生する。この電圧はキャパシタ 13-2 に保持される。

【0090】そして、キャパシタ 13-2 に保持された電圧に応じた電流が TFT 12-2 を通して OLED 11-2 に流れ、よって OLED 11-2 が発光を開始する。この一連の動作において、走査線 18B-1 が非選択状態にあるので、画素 1 の OLED 11-1 はキャパシタ 13-1 に保持された電圧に応じた輝度で発光しており、画素 2 への書き込み動作は OLED 11-1 の発光状態に何らの影響も与えない。

【0091】画素 1 および画素 2 への書き込み動作において、走査線 18A は、前述したように選択状態とされる必要があるが、これら 2 つの画素 1, 2 への書き込みが終了した後は適当なタイミングで非選択とされて良い。この走査線 18A の制御について、以下に説明する。

【0092】先ず、上述した第 2 実施形態に係る画素回路をマトリクス状に並べることにより、アクティブマトリクス型表示装置、本例ではアクティブマトリクス型有機 EL 表示装置を構成することが可能である。図 9 は、その構成例を示すブロック図であり、図 5 と同等部分には同一符号を付して示している。

【0093】本例に係るアクティブマトリクス型有機 EL 表示装置では、マトリクス状に m 列 n 行だけ配置された電流書き込み型の画素回路 51 の各々に対して、2 行毎に 1 本ずつ、即ち 2 画素に 1 本ずつ第 1 の走査線 52A-1, 52A-2, ……が配線されている。したがって、第 1 の走査線 52A-1, 52A-2, ……の総本数は、垂直方向の画素数 n の半分 ($=n/2$) となる。

【0094】一方、第 2 の走査線 52B-1, 52B-2, ……については、各行毎に 1 本ずつが配線されている。したがって、第 2 の走査線 52B-1, 52B-2, ……の総本数は n 本となる。そして、第 1 の走査線 52A-1, 52A-2, ……に対して図 8 の走査 TFT 14 のゲートが接続され、第 2 の走査線 52B-1, 52B-2, ……に対して図 8 の走査 TFT 15 (15-1, 15-2) のゲートがそれぞれ画素毎に接続される。

【0095】上記構成のアクティブマトリクス型有機 EL 表示装置における書き込み動作のタイミングチャートを図 10 に示す。このタイミングチャートは、図 9 の構成において、上から数えて $2k-1$ 行目～ $2k+1$ 行目 (k は整数) の 4 個の画素に対する書き込み動作を表している。

【0096】 $2k-1$ 行目と $2k$ 行目の画素に書き込みを行う場合は、走査信号 $scanA(k)$ を選択状態 (ここでは、低レベル) とする。この期間内に走査信号

$scanB(2k-1)$, $scanB(2k)$ を図 10 に示すように順次選択することにより、これら 2 つの画素に対して書き込みを行うことができる。次に、 $2k+1$ 行目と $2k+2$ 行目の画素に書き込みを行う場合は、走査信号 $scanA(k+1)$ を選択状態 (ここでは、低レベル) とする。この期間内に $scanB(2k+1)$, $scanB(2k+2)$ を図 10 に示すように順次選択することにより、これら 2 つの画素に対して書き込みを行うことができる。

【0097】上述したように、第 2 実施形態に係る画素回路では、走査 TFT 14 および電流-電圧変換 TFT 16 を 2 画素間で共用したことにより、2 画素当たりのトランジスタの数が 6 個となり、図 14 の先願に係る画素回路よりも 2 画素当たり 2 個削減されているにも関わらず、先願に係る画素回路と全く同等の書き込み動作を行うことができる。

【0098】ここで、走査 TFT 14 は電流-電圧変換 TFT 16 と同様に、OLED (有機 EL 素子) に流れる電流に比べて極めて大きな電流 I_w を直接扱うことから、サイズが大きくならざるを得なく、大きな占有面積を必要とする。したがって、図 8 の回路構成、即ち電流-電圧変換 TFT 16 のみならず、走査 TFT 14 についても 2 画素間で共用した構成を採ることで、TFT による画素回路の占有面積を極めて小さくすることが可能となる。その結果、第 1 実施形態に係る画素回路の場合よりもさらに、発光部面積の拡大化あるいは画素サイズの縮小化による高解像度化が可能となる。

【0099】なお、本実施形態においても、走査 TFT 14 および電流-電圧変換 TFT 16 を 2 画素間で共用した回路例を示しているが、これを 3 画素以上で共用することが可能であることは明らかである。この場合、トランジスタの削減による効果はさらに大きい、あまり多数の画素間で走査 TFT 14 を共用することは、各画素回路において OLED 駆動トランジスタ (図 8 の TFT 12-1 や TFT 12-2) を電流-電圧変換トランジスタ (図 8 の TFT 16) に近接配置することが難しくなる。

【0100】また、本実施形態に係る画素回路では、走査 TFT 14 を電流-電圧変換 TFT 16 と共に複数の画素間で共用するとしたが、走査 TFT 14 のみを複数の画素間で共用する構成を採ることも可能である。

【0101】(第 2 実施形態の変形例) 図 11 は、第 2 実施形態に係る画素回路の変形例を示す回路図であり、図中、図 8 と同等部分には同一符号を付して示している。この変形例の場合にも、図面の簡略化のために、ある列において隣り合う 2 画素分 (画素 1, 2) の画素回路のみを示している。

【0102】この変形例に係る画素回路では、画素回路 P1, P2 の各々に、走査 TFT 14-1, 14-2 および電流-電圧変換 TFT 16-1, 16-2 を分散配

置した構成を採っている。具体的には、走査TFT14-1、14-2の各ゲートが走査線18Aに対して共通に接続され、またダイオード接続のTFT16-1、16-2の各ドレイン・ゲートが画素回路P1、P2間で共通に接続されるとともに、走査TFT14-1、14-2の各ソースにそれぞれ接続された構成となっている。

【0103】上記の接続関係から明らかなように、走査TFT14-1、14-2および電流-電圧変換TFT16-1、16-2はそれぞれ並列接続となっているため、機能的には、単一のトランジスタエレメントと等価である。したがって、図11の回路は、実質的に、図8の回路と全く同等である。

【0104】この変形例に係る画素回路では、トランジスタ数は図14の先願に係る画素回路の2画素分と同じであるが、書き込み電流 I_w がTFT14-1とTFT14-2およびTFT16-1とTFT16-2に流れることになるため、これらトランジスタのチャネル幅を先願に係る画素回路の場合の半分にできる。したがって、第2実施形態に係る画素回路の場合と同様に、TFTによる画素回路の占有面積を極めて小さくすることができる。

【0105】なお、上記各実施形態およびその変形例では、カレントミラー回路を構成するトランジスタをNチャネルMOSトランジスタで、走査TFTをPチャネルMOSトランジスタでそれぞれ構成しているが、これは一例であって、本発明の適用はこれに限定されるものではない。

【0106】

【発明の効果】以上説明したように、本発明によれば、発光素子（電気光学素子）に流れる電流に比べて大きな電流を扱う電流-電圧変換部あるいは走査スイッチを2つ以上の画素で共用するようにしたことにより、1画素当たりの画素回路の占有面積を小さくすることができるため、発光部の面積増大や画素縮小による高解像度化に有利である。また、駆動回路レイアウト設計の自由度が増大するため、高精度な画素回路を構成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る電流書き込み型画素回路の構成例を示す回路図である。

【図2】有機EL素子の構成の一例を示す断面構造図である。

【図3】基板裏面側から光を取り出す画素回路の断面構造図である。

【図4】基板表面側から光を取り出す画素回路の断面構造図である。

【図5】第1実施形態に係る電流書き込み型画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図6】第1実施形態に係る画素回路の変形例1を示す回路図である。

【図7】第1実施形態に係る画素回路の変形例2を示す回路図である。

【図8】本発明の第2実施形態に係る電流書き込み型画素回路の構成例を示す回路図である。

【図9】第2実施形態に係る電流書き込み型画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図10】第2実施形態に係る電流書き込み型画素回路の動作説明のためのタイミングチャートである。

【図11】第2実施形態に係る画素回路の変形例を示す回路図である。

【図12】従来例に係る画素回路の回路構成を示す回路図である。

【図13】従来例に係る画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図14】先願に係る電流書き込み型画素回路の回路構成を示す回路図である。

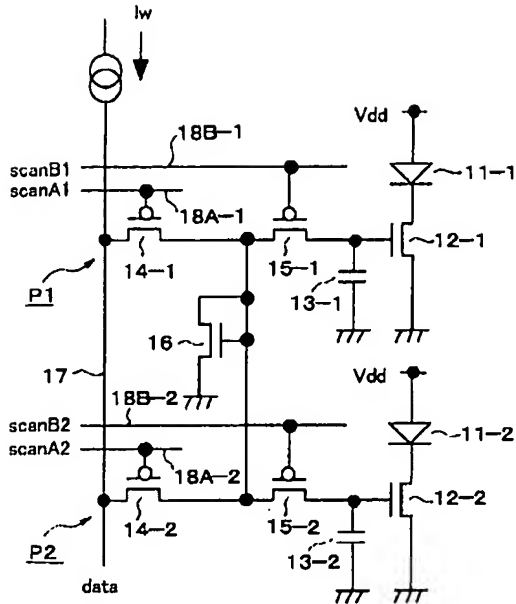
【図15】先願に係る電流書き込み型画素回路の回路動作のタイミングチャートである。

【図16】先願に係る電流書き込み型画素回路を用いたアクティブマトリクス型表示装置の構成例を示すブロック図である。

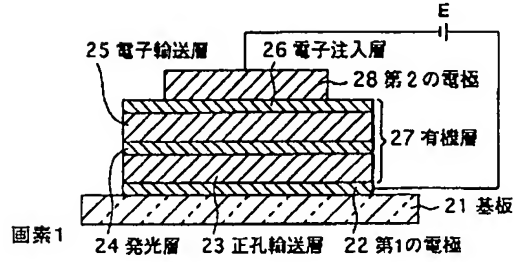
【符号の説明】

11-1、11-2…有機EL素子（OLED）、12-1、12-2…駆動TFT、13-1、13-2…キャパシタ、14、14-1、14-2…走査TFT（第1の走査スイッチ）、15-1、15-2…走査TFT（第2の走査スイッチ）、16、16-1、16-2…電流-電圧変換TFT、P1、P2…画素回路

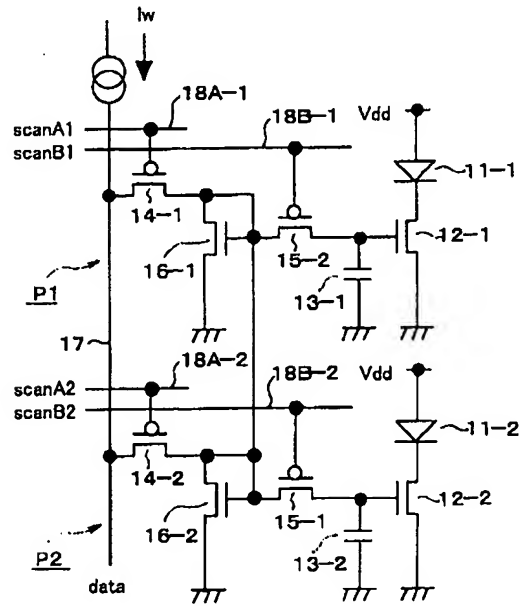
【図1】



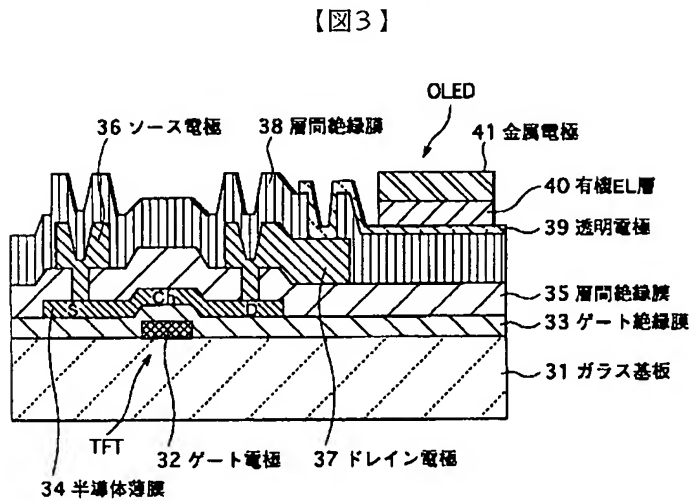
【図2】



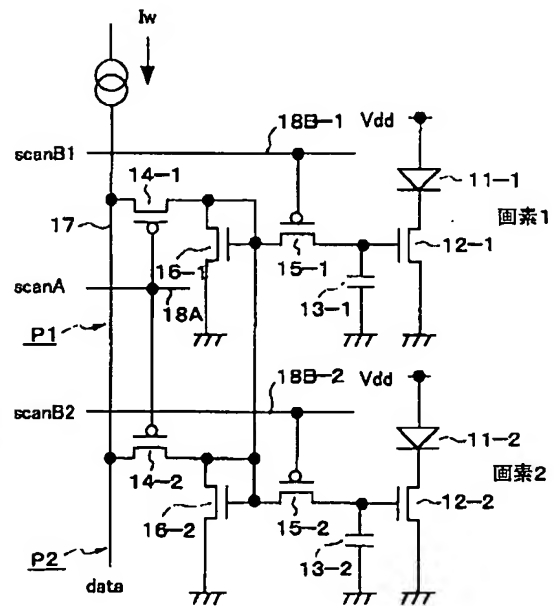
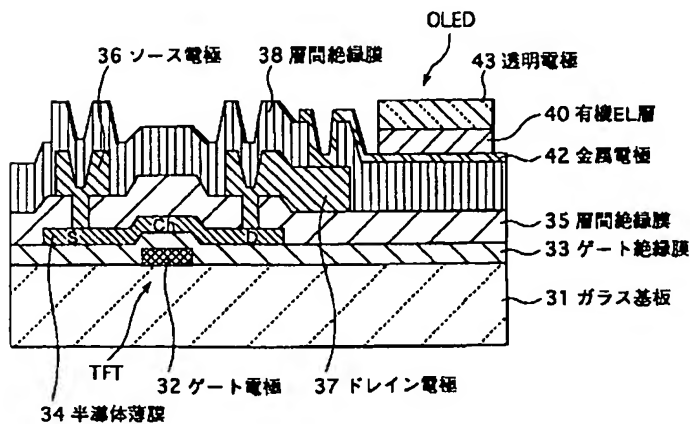
【図6】



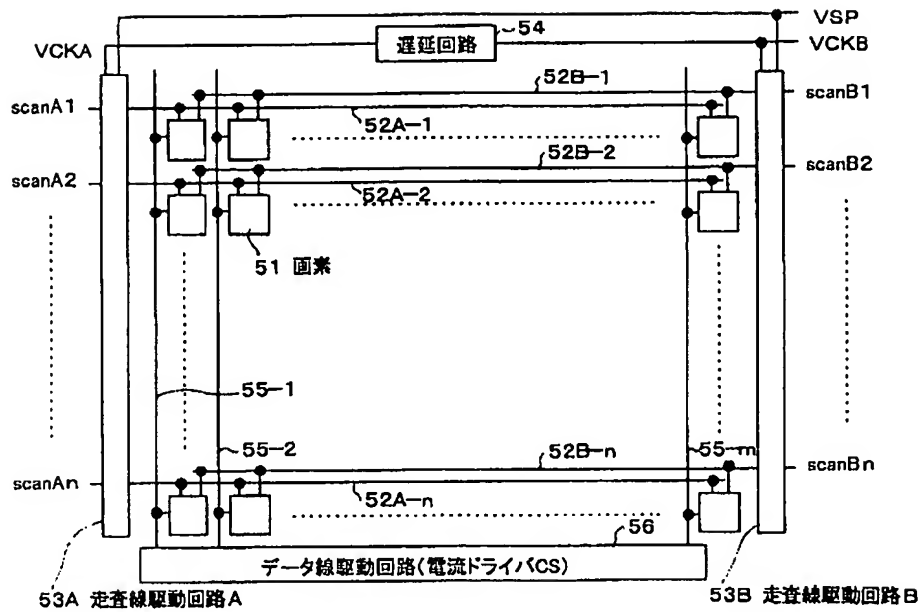
【図11】



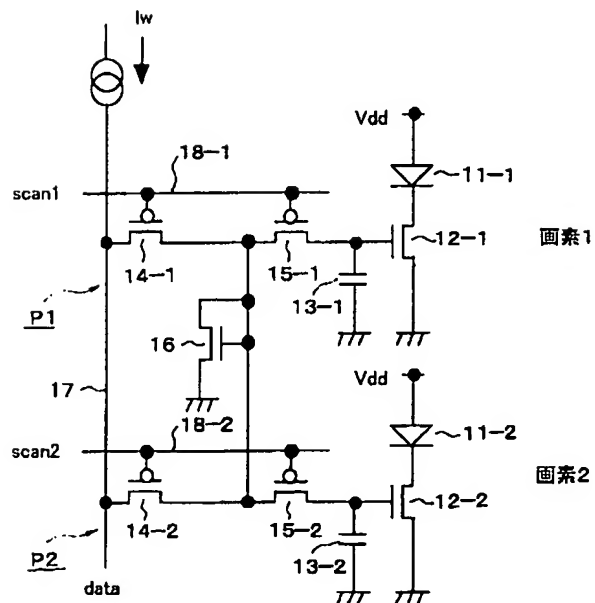
【図4】



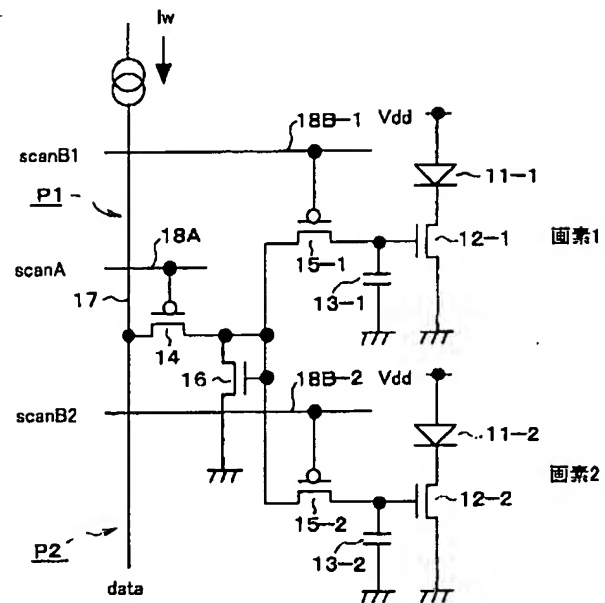
【図5】



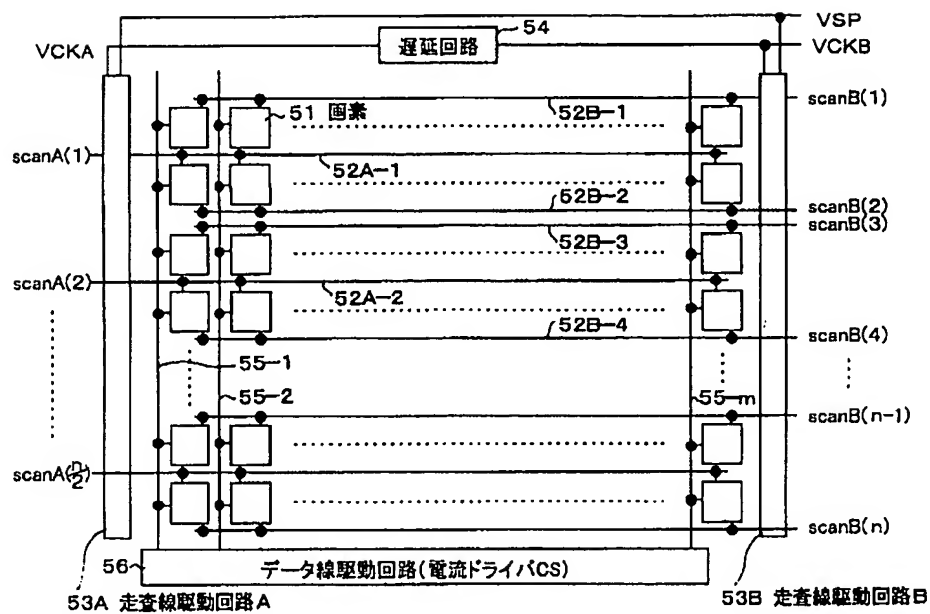
【図7】



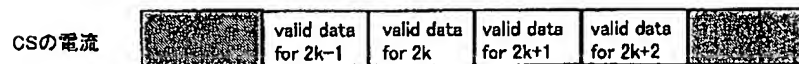
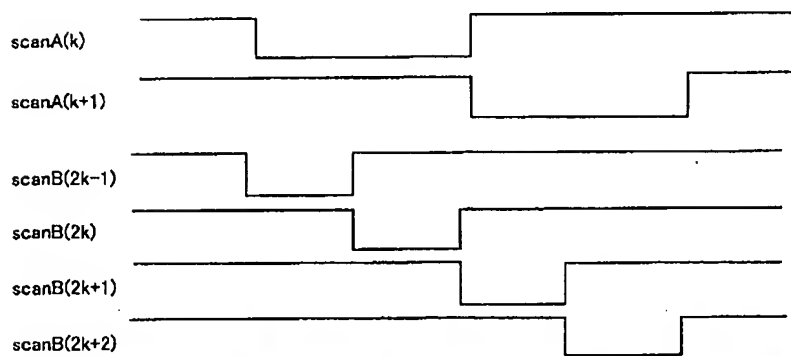
【図8】



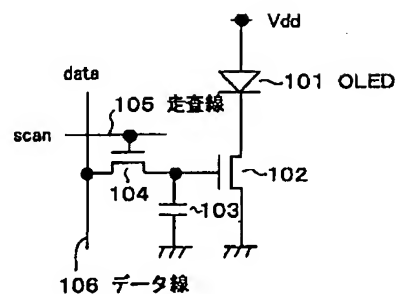
【図9】



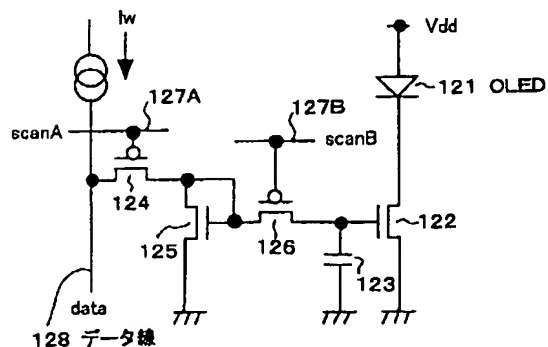
【図10】



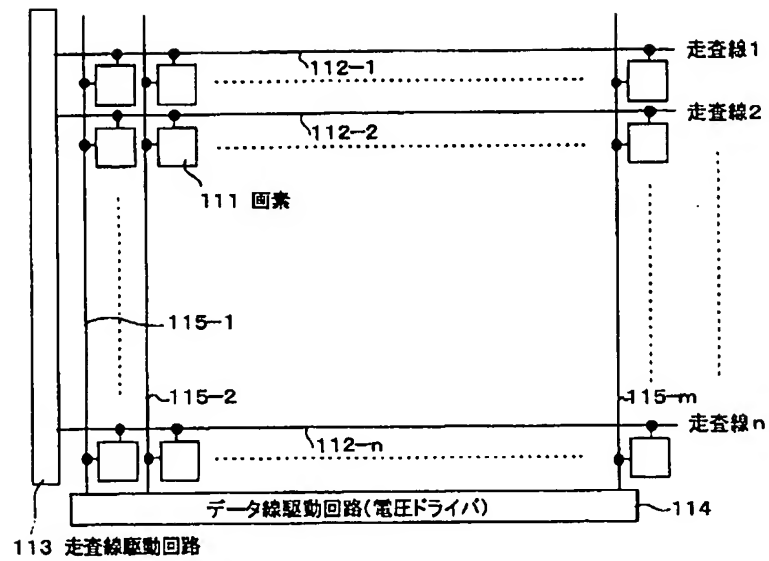
【図12】



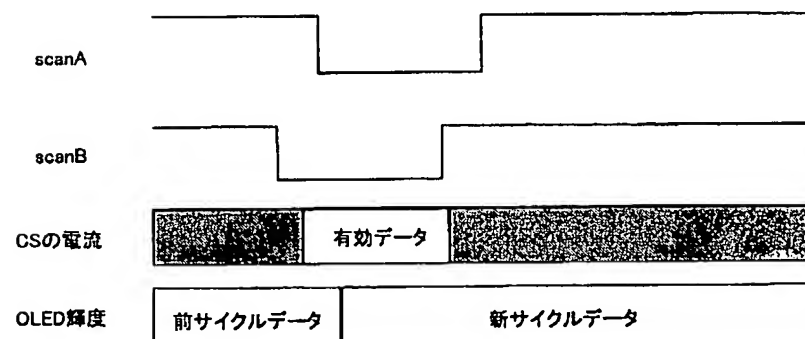
【図14】



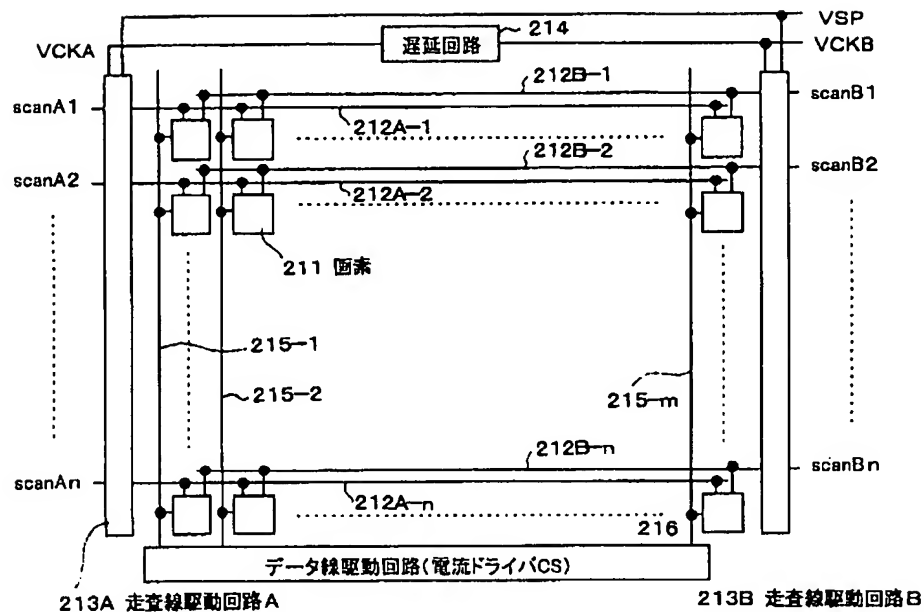
【図13】



【図15】



【図16】



【手続補正書】

【提出日】平成14年2月8日(2002.2.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【発明が解決しようとする課題】かかる問題を改善するため、本願発明者は、一例として、図14に示す画素回路を提案している(特願2001-511659号明細書参照)。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】更に現実には、特願2001-511659号明細書においても述べたように、発光素子OLEDに流す電流 I_{drv} に対して、データ線から書き込む電流 I_w を大きくすることが必要であることが多い。となれば、発光素子OLEDに流す電流は通常、最高輝度時でも例えば数 μA 前後であるが、この場合例えば64階調の表示を行うとすれば、最小階調付近での電流値は数十 nA となり、このような小さな電流を、大きな静電容量を持つデータ線を介して正確に画素回路に供給することは一般に難しいためである。

フロントページの続き

(51)Int.Cl.⁷

H05B 33/14

識別記号

FI

H05B 33/14

備考(参考)

A

Fターム(参考) 3K007 AB00 BB07 CA01 DB03 EB00
 5C080 AA06 BB05 DD05 DD07 DD22
 DD25 EE29 FF11 FF12 JJ02
 JJ03 JJ04 JJ06
 5C094 AA05 BA03 BA27 CA19 CA24
 DA14 DA15 DB04 EA04 EA07
 EB02 FB12 FB14 FB15 FB16